

Programme : Journée Thématique GDR "Test et Tolérance"

Le Groupe Thématique "Test et Tolérance" du GDR SoC-SiP (<http://www2.lirmm.fr/~w3mic/SOCSIP/>) organise une journée thématique le Vendredi 5 Octobre 2012 à Paris. Elle aura lieu à :

l'Université Pierre et Marie Curie (Jussieu)
4 Place Jussieu, 75005 Paris, métro Jussieu
Laboratoire LIP6
Salle 105, Tour 25, 1er étage, Couloir 25-26

Pour l'accès au site, vous pouvez utiliser le lien suivant :
http://www.upmc.fr/fr/universite/campus_et_sites/a_paris_et_en_idf/jussieu.html

Cette journée portera sur les aspects "Méthodes et Outils pour la Prise en Compte de la Variabilité des Procédés de Fabrication". Le programme de cette journée est le suivant :

- 10h00 :
 - Accueil des participants
 - Evolutions au sein du GdR et du groupe "Test et Tolérance" (P. Girard, R. Leveugle)
 - Introduction à la journée (A. Bounceur)
- 10h20 :
 - Outils statistiques dédiés à l'analyse de variabilité des circuits intégrés (Hubert Filiol - Mentor Graphics)
- 11h05 :
 - Process Variability: Evolution of needs and solutions (Mohamed Firas - Infiniscale)
- 11h50 :
 - Déjeuner
- 13h50 :
 - Prise en compte de la variabilité des process CMOS nanométriques dans l'optimisation de fonctions analogiques critiques (Vlad Aniculaesei - IMEP-LHAC)
- 14h35 :
 - Systèmes robustes : problématique de leur test (Serge Bernard - LIRMM)
- 15h20 :
 - Non-intrusive variation-aware built-in sensors for RF test (Haralampos Stratigopoulos - TIMA)
- 16h05 :
 - Outils de CAO pour le test des circuits mixtes (Ahcène Bounceur - Lab-STICC)
- 16h50 :
 - Conclusions
- 17h00 :
 - Fin de la journée

Le résumé des présentations est donné ci-dessous.

Afin de préparer au mieux la logistique de cette journée, toute personne intéressée est priée de se faire connaître en envoyant un email à Régis Leveugle <Regis.Leveugle@imag.fr>. Le repas de midi sera pris en charge par le GDR.

Hubert Filiol

Outils statistiques dédiés à l'analyse de variabilité des circuits intégrés

Résumé : Avec la miniaturisation toujours plus poussée des technologies CMOS, il devient de plus en plus

difficile de maîtriser les variations des paramètres technologiques lors de la fabrication des circuits intégrés. A cause de ces variations, les performances des circuits peuvent varier de façon considérable. Par conséquent, des outils d'analyse de la variabilité, basées notamment sur des méthodes de Monte Carlo, sont plus que jamais nécessaires pour garantir un rendement de fabrication des circuits élevé.

Mohamed Firas

Process Variability: Evolution of needs and solutions

Résumé : Process variability and environmental variations have become a major factor impacting design performance and yield, resulting in costly project delays and even worse poor design quality and yield. Brute Monte Carlo analysis has become a key verification technique, however designers are limited to hundreds or thousands of runs (due to the lack of resources), which does not guarantee the design against global, local or environmental variation failures.

How many Monte Carlo runs are needed to accurately verify the design, is it possible to accelerate Monte Carlo without decreasing accuracy and damaging design, how to manage local variability where number of influent parameters explodes, what about high sigma analysis, etc.?

This paper will discuss the advanced technologies process variability impact on the design flow and the last solutions of the EDA market.

Vlad Aniculaesei

Prise en compte de la variabilité des process CMOS nanométriques dans l'optimisation de fonctions analogiques critiques

Résumé : Avec la réduction d'échelle des technologies CMOS vers des dimensions nanométriques, la taille des composants diminue et l'impact relatif des variations dues au processus de fabrication tend à augmenter. Une proportion de plus en plus importante des circuits fabriqués dans ces technologies ne respecte pas les spécifications, ce qui conduit à une dégradation du rendement de fabrication et donc à une augmentation des coûts de production. Les fonctions analogiques dont les performances sont étroitement liées aux paramètres électriques intrinsèques et à la précision dimensionnelle des composants réalisés sur silicium sont les fonctions les plus impactées par cette évolution. Pour ces fonctions, le rendement devient donc un paramètre d'optimisation qui doit être pris en compte le plus tôt possible dans le "flow" de conception au même titre que les performances. La prise en compte de ce nouveau paramètre d'optimisation nécessite cependant des études statistiques de type Monte-Carlo et donc des temps de simulation qui varient exponentiellement avec le nombre des paramètres de la technologie à prendre en compte. Grâce à des outils récemment développés (projet MIXIPY) permettant de réduire très largement les temps de simulation, il devient envisageable d'asseoir une nouvelle méthode de conception incorporant le rendement en tant que paramètre d'optimisation. Une telle méthode sera présentée dans le cadre de la conception d'un LNA large bande en technologie CMOS 65nm.

Serge Bernard

Systèmes robustes : problématique de leur test

Résumé : L'évolution des technologies et la forte demande vers toujours plus de fonctionnalités embarquées dans les dispositifs électroniques soulèvent de nouveaux défis scientifiques. Un des défis importants est la préservation de la qualité et de la fiabilité du ou des systèmes intégrés embarqués dans le dispositif final.

Une approche intéressante pour répondre à ce défis consiste à utiliser, voire à intégrer, des solutions d'adaptation permettant au circuit ou au système de corriger les dérives de ses caractéristiques dues à la fabrication (variabilité), à l'influence des autres composants présents dans le dispositif final (adaptation à l'application), et à l'influence des phénomènes extérieurs à l'application (adaptation à l'environnement). Paradoxalement, ces nouvelles capacités d'adaptation ou d'auto-adaptation génèrent de nouvelles problématiques pour le test. Il

n'est en effet pas envisageable dans le cadre du test de production d'attendre que toutes les compensations aient stabilisé les caractéristiques pour décider si le circuit est sain ou fautif. D'autre part, il est difficile de connaître l'impact des variations de paramètres sur la mission d'adaptation dans l'application finale. Cette présentation a pour objectif de présenter ces nouvelles problématiques dans le cadre des circuits analogiques et mixtes et d'ouvrir la discussion sur des pistes possibles pour y répondre.

Haralampos Stratigopoulos

Non-intrusive variation-aware built-in sensors for RF test

Résumé : Testing the analog and mixed-signal functions of a system-on-chip makes up the major portion of test cost which can be as high as 50% according to anecdotal evidence. Furthermore, there have been reported systems-on-chip where the test cost actually surpasses the overall manufacturing cost. For these reasons analog and mixed-signal test is an area for industry focus, innovation and improvement. One attractive approach to reduce test cost is built-in test which aims to alleviate the dependence on expensive test equipment by performing part of the test operations on-chip. This talk will discuss new types of sensors to enable a built-in test in RF circuits. The key characteristic of these sensors is that they are non-intrusive, that is, they are not connected electrically to the RF circuit. Thus, the performances of the RF circuit are unaffected by the monitoring operation. We will first discuss variation-aware sensors that operate as process monitors and share the same environment with the RF circuit. Their underlying principle is that they are subject to the same process variations seen by the RF circuit, thus shifts in the performances of the RF circuit can be inferred implicitly by shifts in their outputs. Next, we will discuss temperature sensors that can indicate the presence of defects within the RF circuit. The proposed ideas will be demonstrated with experimental results on fabricated samples that include an RF LNA with embedded sensors.

Ahcène Bounceur

Outils de CAO pour le test des circuits mixtes

Résumé : Des techniques de test permettent d'ajouter des circuits additionnels dans la puce pour faciliter le test (conception en vue dutest) et même réaliser un auto-test. Cependant, elles doivent être évaluées lors de la conception afin d'estimer la qualité des tests proposés et évaluer les avantages économiques obtenus. Ceci nécessite l'utilisation d'outils de CAO orientés au test (CAT) qui se font rares et généralement non commercialisés en raison de leur nature académique, ce qui limite leur application, ainsi, leur utilisation. Dans le cadre de cette présentation, une plateforme de CAT sera présenté. Elle permet de valider les techniques de test analogique, incluant des outils de modélisation, d'injection et de simulation de fautes ainsi que des outils de génération et d'optimisation de vecteurs de test analogiques. Une méthodologie basée sur la simulation stochastique multidimensionnelle sera aussi proposée afin d'évaluer la qualité d'une technique de test lors de la phase de conception. Cette technique permet de fixer ainsi les limites optimales des mesures de test.